

501.43211X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): S. MISAKA, et al.

Serial No.: 10/694,849

Filed: October 29, 2003

Title: INFORMATION PROCESSING SYSTEM

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 10, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

**Japanese Patent Application No. 2002-313617
Filed: October 29, 2002**

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Carl I. Brundidge
Registration No.: 29,621

CIB/rr
Attachment

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 9 日
Date of Application:

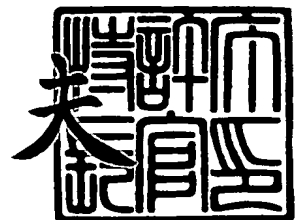
出 願 番 号 特 願 2 0 0 2 - 3 1 3 6 1 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 1 3 6 1 7]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 1 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02015441A

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 1/14
G06F 1/32

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 三坂 智

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

【氏名】 山田 真二郎

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書**【発明の名称】 情報処理通信装置****【特許請求の範囲】****【請求項 1】**

所定のイベント実行までの発生時間を指定してシステムコールをする情報処理装置であって、

第 1 周期に設定される第 1 タイマ回路と、

前記第 1 周期より短い第 2 周期に設定される第 2 タイマ回路と、

前記システムコールがあった際に、前記発生時間を格納することが可能な前記タイムアウト監視部と、

前記システムコールがあった際に、次の前記第 1 タイマ回路の割り込み要求までの時間を格納することが可能な第 1 周期監視部とを有し、

前記タイムアウト監視部は、前記第 1 タイマの割り込み要求により前記タイムアウト監視部に格納された時間から前記第 1 周期監視部に格納された時間を減算した時間を格納し、前記タイムアウト監視部に格納された時間が前記第 1 周期より短い場合に、前記第 2 タイマ回路の割り込み要求により前記タイムアウト監視部に格納された時間から前記第 2 周期の時間を減算することを特徴とする情報処理装置。

【請求項 2】

請求項 1 において、

前記第 2 タイマ回路は、前記タイムアウト監視部に格納された時間が前記第 1 周期より長い場合は、割り込み要求が不可とされ、前記タイムアウト監視部に格納された時間が前記第 1 周期より短いと判断された場合に、割り込み要求が許可とされることを特徴する情報処理装置。

【請求項 3】

請求項 2 において、

前記第 1 周期監視部は、前記第 1 周期の周期時間を入力することが可能とされることを特徴とする情報処理装置。

【請求項 4】

請求項 3 において、

前記情報処理装置は、前記タイムアウト監視部において、前記第 2 周期の値を減算した結果、0 以下になった場合に前記所定のイベントを実行することを特徴とする情報処理装置。

【請求項 5】

請求項 1 において、

前記第 1 タイマと前記第 2 タイマは、同一のクロックに従って動作し、前記第 1 周期は、前記第 2 周期の整数倍であることを特徴とする情報処理装置。

【請求項 6】

システムコールから所定イベント実行時までの所定時間を計測する情報処理装置であって、

第 1 周期の時間間隔でカウントするための第 1 タイマと、

前記第 1 周期より短い第 2 周期の時間間隔でカウントするための第 2 タイマと、

前記情報処理装置は、前記所定時間を計測する場合に、前記第 1 タイマでカウントし、前記所定イベント実行時までの時間が前記第 1 周期より短い場合に、前記第 2 タイマによりカウントすることを特徴とする情報処理装置。

【請求項 7】

請求項 6 において、

前記情報処理装置は、携帯情報端末であることを特徴とする情報処理装置。

【請求項 8】

請求項 6 において、

前記第 1 周期は、10 ミリ秒の間隔であり、

前記第 2 周期は、1 ミリ秒の間隔であることを特徴とする情報処理装置。

【請求項 9】

請求項 6 において、

前記第 1 及び第 2 タイマは、対応する前記第 1 周期又は前記第 2 周期を外部から設定可能であることを特徴とする情報処理装置。

【請求項 10】

請求項 6 において、

前記情報処理装置は、前記所定時間を計測するためのタイムアウト監視部を更に有し、

前記所定時間は、前記第 1 タイマの割り込み要求を受けて前記タイムアウト監視部に格納された時間を減少させ、前記所定時間までの残りの時間が前記第 1 周期より小さくなった場合に前記第 2 タイマの割り込み要求を受けて前記タイムアウト監視部に格納された時間を減少させることにより計測されることを特徴とする情報処理装置。

【請求項 11】

請求項 10 において、

前記情報処理装置は、オペレーションシステムを有し、

前記所定時間の計測は、前記オペレーションシステムにより実現されることを特徴とする情報処理装置。

【請求項 12】

システムコールから所定時間後に所定イベントを実行する情報処理装置であって、

中央処理装置と、

前記中央処理装置に接続されるメモリと、

第 1 周期のパルスに従って割り込み要求をする第 1 タイマと、

前記第 1 周期より短い第 2 周期のパルスに従って割り込み要求をする第 2 タイマと、

前記システムコール時に前記所定時間を格納するためのタイムアウト監視部とを具備し、

前記中央処理装置は、前記第 1 タイマの割り込み要求により前記タイムアウト監視部に格納された時間を変化させ、前記タイムアウト監視部に格納された時間が前記第 1 周期間隔より短くなった場合に、前記第 2 タイマの割り込み要求により前記タイムアウト監視部に格納された時間を変化させることを特徴とする情報処理装置。

【請求項 13】

請求項 12 において、

前記中央処理装置は、前記第 1 又は第 2 タイマの割り込み要求により前記タイムアウト監視部に格納された時間を減少させ、前記タイムアウト監視部に格納された時間が 0 以下になった場合に、前記所定イベントを実行することを特徴とする情報処理装置。

【請求項 1 4】

請求項 1 3 において、

前記メモリは、オペレーションシステムを装備し、

前記タイムアウト監視部は、前記オペレーションシステムの機能の一部として前記メモリに生成されることを特徴とする情報処理装置。

【請求項 1 5】

請求項 1 4 において、

前記情報処理装置は、携帯情報端末であることを特徴とする情報処理装置。

【請求項 1 6】

請求項 1 5 において、

前記第 1 周期は、1 0 ミリ秒であり、前記第 2 周期は、1 ミリ秒であることを特徴とする情報処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

情報処理通信装置及びオペレーティングシステムに関するものである。

【0 0 0 2】

【従来の技術】

図 1 6 は特開平 1 1 - 3 5 5 1 9 8 号公報に示された従来の無線通信装置を示す構成図である。

【0 0 0 3】

本願の図 1 6 には、中央処理装置 C P U (以下、プロセッサという) (1)、フレーム同期回路 S Y N (以下、同期回路という) (2)、受信回路 R C V (3)、レジスタ (制御手段) R E G (4)、切替回路 S W C (5)、高速のクロック C K を発振し出力する高速発振回路 O S C (6)、無線通信装置の時計機能とし

て使用されているタイマ機能を持つリアルタイムクロックRTC（以下、RTCという）（7）、入出力回路I/O（以下、I/Oという）（8）、タイマTIM（9）、割込回路INTC（10）、アドレス、データ、制御データを送受信するバス（11）が記載されている。

【0004】

切替回路SWC（5）は、プロセッサCPU（1）よりレジスタREG（4）内に書き込まれ格納された制御データに基いて、高速発振回路OSC（6）から出力されたクロックCK1か、あるいはRTC（7）から出力されたクロックCK2のいずれかを選択し、プロセッサCPU（1）、同期回路SYN（2）、及びレジスタREG（4）へ選択されたクロックを供給する。

【0005】

タイマTIM（9）は、常時、RTC（7）から出力されていたクロックCK2に基いて動作し、ページングチャンネル受信後の間欠時（スリープモード）に、RTC（7）から出力されたクロックCK2を供給する時間を、プロセッサCPU（1）より設定される。さらに、タイマTIM（9）はタイムアウトすると割込回路INTC（10）へ割込み制御信号を出力し、割込回路INTC（10）を割込み状態に設定する。

【0006】

割込回路INTC（10）がタイマTIM（9）から出力された割込み制御信号を入力した時、また使用者がキーを操作し、I/O（8）を経由して入力されたキー割込みなどの割込み要求を割込回路INTC（10）が受信した時に、プロセッサCPU（1）へ割込み要求の発生を通知する、即ち、割込回路INTC（10）からのプロセッサCPU（1）へ割り込み要求が出力される。

【0007】

プロセッサCPU（1）によりタイマ値がタイマTIM（9）へ設定された後、プロセッサCPU（1）は、制御データをレジスタREG（4）へ書き込む。これにより、切替回路SWC（5）は、レジスタREG（4）内に格納された制御データに基いて、高速発振回路OSC（6）から出力されるクロックCK1をRTC（7）から出力されるクロックCK2へ切り替え、クロックCK2をプロセッサCP

U (1)、同期回路SYN (2)、レジスタREG (4) 等へ出力する。このように、プロセッサCPU (1)、同期回路SYN (2)、レジスタREG (4) 等はクロックCK2に基いて動作する。さらに、レジスタREG (4) 内に書き込まれた制御データに基いて、高速発振回路OSC (6) の動作が停止される。

【0008】

プロセッサCPU (1) は、割込回路INTC (10) から出力された割込み要求を入力した場合、その割込み要求がどの回路から出力された割込み要求であるかを判定する。そして、その割込み要求がタイマTIM (9) 以外の回路から出力された割込み要求であるならば、クロックCK1に基いて処理を行い、次の割込み要求の到着を待つ。

【0009】

受信した割込み要求がタイマTIM (9) から出力された割込み要求である場合、プロセッサCPU (1) はレジスタREG (4) 内へ制御データを書き込む。切替回路SWC (5) は、レジスタREG (4) 内に書き込まれた制御データに基いて、RTC (7) から出力されたクロックCK2を、高速発振回路OSC (6) から出力されているクロックCK1へ切替える。そして切替えられたクロックCK1をプロセッサCPU (1)、同期回路SYN (2)、レジスタREG (4) 等へ供給する。

【0010】

【特許文献1】

特開平11-355198号公報

【0011】

【発明が解決しようとする課題】

本願発明者等は、本願に先立って、上記の従来技術について検討した。また、無線通信装置には電子メール、ブラウザ、動画音声音響録画再生等を搭載する情報処理装置も存在するため、本願発明者等は、特許文献1に示される無線通信装置を情報処理通信装置に適用した場合も同様に検討した。なお、従来の無線通信装置を情報処理通信装置に適用した場合には、図16の無線通信装置にメモリMEM (21) を搭載し、そのメモリMEM (21) 内はオペレーティングシステ

μOS（以下OSと略す）（22）を装備する必要がある。そして、OS（22）はタイマTIM（9）から任意の周期毎に割込み要求を発生させることによって、情報処理通信装置の時間監視及び管理を行うことになる。

【0012】

ここで、図16の無線通信装置及び従来の無線通信装置を適用した情報処理通信装置に搭載のタイマTIM（9）の周期割込み要求には2つの課題が残されていることがわかった。

【0013】

第一の課題は、省電力モード中にも関わらず、タイマTIM（9）の周期割込み要求の周期に従って省電力モードが解除され、プロセッサCPU（1）にクロックCK1及びクロックCK2が供給され、電流を消費してしまう事象である。以下、この事象を図18に基づいて説明する。

【0014】

図17は、プロセッサCPU（1）の各動作モード時の消費電流（41）を示している。ここで、42はタイマ割込み要求モードを、43は省電力モードを示している。OS（22）がマルチタスク機能を有する場合、最低優先度タスクの無限ループ中に省電力モード（43）を施す処理を設定する。そしてクロックCK1がプロセッサCPU（1）に供給されている、つまり情報処理の為に利用出来る場面において暫く使わない、またはデッドラインまでの余裕時間があるという、アイドル状態が存在することを想定する。なお、タイマ割込みが発生してから次のタイマ割込みが発生するまでの時間におけるタイマ割込み要求モード42の時間をタイマ割込みDutyという。

【0015】

ここで電流の無駄な消費を防止する為、アイドル状態に前記最低優先度タスクを起動させると、タイマTIM（9）からのタイマ割込み要求モード（42）によって、省電力モード（43）が解除され、プロセッサCPU（1）にクロックCK1が供給され、CPUが動作を開始し、本来、電流を削減したい場面で消費電流（41）の増加が発生する。前記事象はタイマ周期（44）を長くすることでタイマ（9）の割込み要求回数を削減し、省電力モード（43）の時間を長くし、

消費電流（41）を抑えることは可能である。

【0016】

しかしOS（22）はタイマTIM（9）による周期割込み要求の度に内部でシステムクロック（24）でカウントしながら、時間監視及び管理を行っている。従って、タイマTIM（9）のタイマ周期（44）を長くすると、タイマ周期（44）よりも短い時間内に待ち状態のタスクをタイムアウトで解放させるには時間精度が悪くなることがわかった。すなわち、消費電流（41）を抑えようとすると時間精度が悪くなり、逆に時間精度を良くしようとすると消費電流（41）が多くなってしまうことがわかった。

【0017】

第二の課題は、常時タイマTIM（9）からタイマ周期（44）毎に割込みが発生するので、その他のI/O回路（8）からの割込み要求の発生とち合うという事象である。

【0018】

特に時間管理を優先、つまりタイマTIM（9）の割込み要求レベルを高くすると、割込回路INTC（10）の方で先ずタイマTIM（9）の周期割込み要求を受けつけて、その周期割込み要求の処理を終了した直後にI/O（8）からの割込み要求を受け付け、I/Oに関する処理を行う。従って割込み応答が鈍くなってしまうことがわかった。

【0019】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、所定のイベント実行までの発生時間を指定してシステムコールをする情報処理装置であって、第1周期に設定される第1タイマ回路と、前記第1周期より短い第2周期に設定される第2タイマ回路と、前記システムコールがあった際に、前記発生時間を格納することが可能な前記タイムアウト監視部と、前記システムコールがあった際に、次の前記第1タイマ回路の割り込み要求までの時間を格納することが可能な第1周期監視部とを有し、前記タイムアウト監視部は、前記第1タイマの割り込み要求により前記タイムアウト監視

部に格納された時間から前記第 1 周期監視部に格納された時間を減算した時間を格納し、前記タイムアウト監視部に格納された時間が前記第 1 周期より短い場合に、前記第 2 タイマ回路の割り込み要求により前記タイムアウト監視部に格納された時間から前記第 2 周期の時間を減算する構成とする。

【0 0 2 0】

更に望ましくは、前記第 2 タイマ回路は、前記タイムアウト監視部に格納された時間が前記第 1 周期より長い場合は、割り込み要求が不可とされ、前記タイムアウト監視部に格納された時間が前記第 1 周期より短いと判断された場合に、割り込み要求が許可とされるように構成するとよい。

【0 0 2 1】

更に望ましくは、前記第 1 周期監視部は、前記第 1 周期の周期時間を入力することが可能とされるように構成するとよい。

【0 0 2 2】

【発明の実施の形態】

まず、図 1 及び図 2 を用いて本願発明の思想を説明する。図 1 は、本願発明を実現するための基本的な構成の一実施例であり、プロセッサ CPU (1)、複数のタイマ TIM (9)、OS(22)を搭載したメモリ MEM (21)、I/O(8)、バス (11) が示されている。また、プロセッサ CPU (1)、複数のタイマ TIM (9)、I/O(8)、バス (11) で構成した 1 ブロックをプロセッサ CPU (1) と見なし、そのプロセッサ CPU (1) とメモリ MEM (21) をバス (11) で接続した回路と見なすことも可能である。

【0 0 2 3】

複数のタイマ TIM (9) は、第 1 タイマ TIM1 (9a)、第 2 タイマ TIM2 (9b) を含んでいる。また、第 1 タイマ TIM1 (9a) は、状態レジスタ SREG1 (81a)、制御レジスタ CREG1 (82a)、カウンタ CNT1 (83a)、周期設定レジスタ CYCREG1 (84a) を含んでいる。第 2 タイマ TIM2 (9b) も第 1 タイマ TIM1 (9a) と同じ構成である。またクロック CK (85) は発振回路からのクロック信号である。タイマ TIM (9) に RTC (7) から常時、クロック CK2 が入力されているが、用途によっては RTC (7) に限

らず、高速発振回路OSC (6) から出力されるクロックCK1を入力しても構わない。

【0024】

状態レジスタSREG1, 2 (81) は、各タイマに対して、カウンタTIM1, 2 (83) のアンダーフローの発生判別、タイマ割込みの許可、禁止の状態判別等、タイマの内部状態を知らせるための情報を有する。

【0025】

制御レジスタCREG (82) は、各タイマに対して、カウンタCNT (83) のアンダーフロー時のタイマ割込み許可禁止を設定、タイマ駆動に要するクロックCK (85) の分周比の設定、タイマがカウントする周期等を可能にするための情報を有する。なお、状態レジスタSREG、制御レジスタCREGは、外部から設定可能とされる。

【0026】

カウンタCNT (83) は各タイマに、制御レジスタ (82) で設定したクロックCK (85) に対する分周比に同期して、初期時の設定値をカウントダウン (減算) する機能を有する。カウンタ (83) はカウントダウンする方式、カウントアップする方式のどちらでも構わない。カウントアップ方式ならば、値をカウントアップ (加算) する機能を有する。

【0027】

周期設定レジスタ (84) は、各タイマに対して、初期時またはアンダーフロー時に割込み発生させる周期の長さを設定するための情報を有する。なお、カウンタ (83) がカウントアップ方式ならば、アンダーフロー時ではなくオーバーフロー時となる。

【0028】

また図1にOS (22) の機能の一部としてOS時間管理部 (91) を記載した。OS時間管理部 (91) は、タスク情報制御テーブル (以下、TCBという) 管理部 (92)、タイムアウト要求発行処理部 (93)、第1タイマー割込み処理部 (94)、第2タイマー割込み処理部 (95)、第一周期監視部 (72)、システムクロック (24) 等で構成する。TCB管理部 (92) にはタイムアウト監視部

(71) を含む。

【0029】

図2は本願発明の概念を説明する図であり、以下図2を用いて本願発明を説明する。図2には、カウンタ軸(61)、時間軸(62)、カウンタ値(63)、周期設定値(64)、割込み発生(65)、タイムアウト要求発行時刻(66)、タイムアウト時刻(67)、タイムアウト要求時間(68)、タイムアウト監視部(71)、第一周期監視部(72)、時間監視レート格納部(73)が示されている。

【0030】

第1タイマTIM1(9a)に対し、第1タイマ周期(44a)、カウンタ値(63a)、周期設定値(64a)、割込み発生(65a)、第2タイマTIM2(9b)に対し、第2タイマ周期(44b)、カウンタ値(63b)、周期設定値(64b)、割込み発生(65b)を表している。

【0031】

なお、タイムアウト監視部(71)、第一周期監視部(72)、時間監視レート格納部(73)は、特に制限されないがメモリ(21)内に設けている。また、タイムアウト監視部や第一周期監視部等に格納される値は、第1タイマや第2タイマにおけるカウンタの値に対応する値となる。これらの値は、第1タイマや第2タイマに入力されるクロックの周期に前記カウンタの値をかけた時間と等価なものである。従って、タイムアウト監視部や第一周期監視部等は、それぞれに対応する時間を格納しているということもできる。

【0032】

先ず初期化時にOS(22)で、第1タイマ周期(44a)が第2タイマ周期(44b)の整数倍にするようにタイマTIM(9)を設定し、時間監視レート格納部(73)に第1タイマ周期(44a)を第2タイマ周期(44b)で割った値を格納する。更に第2タイマTIM2(44b)のみ、割込み発生(65b)を禁止とするように第2タイマTIM2(9b)の状態レジスタSREG2(81b)を設定する。次に、OS(22)でタイムアウト要求が発行されたタイムアウト要求発行時刻(66)に、タイムアウト要求時間(68)をタイムアウト監視

視部 (71) に格納する。

【0033】

第1タイマTIM1 (9a) からタイマ割込みが発生する毎に、タイムアウト監視部 (71) に格納された値から第1タイマ周期 (44a) を引き、その減算値を再びタイムアウト監視部 (71) に格納する。

【0034】

タイムアウト監視部 (71) に格納されている値が第1タイマ周期 (44a) よりも小さくなった時点で、第2タイマTIM2 (9b) からのタイマ割込みを許可し、第一周期監視部 (72) に第1タイマ周期 (44a) を設定する。

【0035】

第2タイマTIM2 (9b) からタイマ割込みが発生する毎に、タイムアウト監視部 (71) と第一周期監視部 (72) に格納されているそれぞれの値から第2タイマ周期 (44b) を引き、それぞれの減算値を再びタイムアウト監視部 (71) と第一周期監視部 (72) に格納する。

【0036】

タイムアウト監視部 (71) に格納の値が0以下となった時点がタイムアウト時刻となり、タイムアウト要求を満たす事が可能になる。

【0037】

上記のように周期の長い第1タイマ周期 (44a) と周期の短い第2タイマ周期 (44b) を設け、第1タイマ周期 (44a) で大まかに時間監視すると共に割込み発生 (65) を抑制し、第2タイマ周期 (44b) で細かい時間監視を行うことで、時間管理精度を維持しながら、省電力モード中のプロセッサ (1) に対するタイマ割込みを起因とする電流の消費を抑えることが可能となる。言い換えれば、第1イベント終了時から第2イベント発生時までの所定時間を計測する場合に、始めは周期の長い第1周期でカウントし、第2イベント発生時までの残り時間が第1周期の間隔より短くなった場合に、第2周期でカウントするように構成することで本願発明を達成できる。

【0038】

例えば、タイマ割込み要求の第1周期を10[msec]、第2周期を1[msec]とし

、従来のタイマ割込み要求周期（44）を1[msec]周期、そして割込み要求時の消費電流値（46）を150[mA]、低消費電力モード時の消費電流値を35[mA]と仮定すると、TMUの割り込みDutyが1%ならば消費電流の改善率は約2%、5%ならば消費電流の改善率は約12%、10%ならば消費電流の改善率は約18%、15%ならば消費電流の改善率は約25%という見積が可能であり、携帯電話や携帯端末に搭載の電池の持ち時間延長や、プロセッサから発する熱の抑制に効果がある。

【0039】

また、上記と同じく、タイマ割込み発生を少なくすることでOS（22）の処理の占有率が下がり、他の（割込み）処理に費やすことが可能となる。

【0040】

次に、図3から図12を用いて、本願発明の処理手順を詳しく説明する。図3は、TCB管理部（92）を表している。TCB管理部（92）は例えば、処理ポインタ（101）、挿入ポインタ（102）、臨時格納部（103）、レディキューヘッダ（104）、ウェイトキューヘッダ（105）、タイマキューヘッダ（106）、順方向ポインタ（107）、逆方向ポインタ（108）、単数ないし複数のTCB（109）で構成する。TCB（109）はOS（22）が生成、動作しているタスクの数だけ、存在する。例えば、本実施例では、タスクが3つ（TCB109a, 109b, 109c）存在している。タイマキューヘッダ（106）は、順方向ポインタ（107）、逆方向ポインタ（108）、第一周期監視部（72）で構成する。ここで説明を簡単にするために、最初にタイムアウトするTCBを109aとし、次にタイムアウトするTCBを109bとする。また、TCB109cは、新規に生成されるタスクとする。

【0041】

TCB（109a, b, c）は、用途別の複数の順方向ポインタ（107）と逆方向ポインタ（108）、タイムアウト監視部（71）等で構成する。タイマキューヘッダ（106）の順方向ポインタ（107）は、待ち状態のタスクが解除されるのに要するタイムアウトが最も早いTCB（109a）の順方向ポインタ（107a）のメモリ番地を指す。TCB（109a）の順方向ポインタは、次に

タイムアウトするタスクのTCB(109b)の順方向ポインタ(107b)のメモリ番地を指す。そして指されたTCB(109b)の逆方向ポインタ(108b)は、一つ前のタイムアウトに待ち状態を解除されるタスクのTCB(109a)の逆方向ポインタ(108a)のメモリ番地を指す。従って、タイマキューヘッダ(106)の順方向ポインタ(107)は、最も早くタイムアウトするタスクのTCB(109a)を指し、反対に逆方向ポインタ(108)は最も遅くタイムアウトするタスクのTCB(109c)を指すことになる。即ちTCB管理部(72)はタイマキューヘッダ(106)を起点(番兵)に各TCB(109)の双方向リストを形成している。

【0042】

タイムアウト監視部(71)には、一つ前に双方向リストに繋がれていたタスクのTCB(109)がタイムアウトした後にタイムアウトするまでのTCB(109)の残り時間が格納される。つまり、タイムアウト監視部(71b)に格納される残り時間は、TCB(109a)が待ちを解除された直後からのタイムアウトまでの残り時間を指し、タイムアウト監視部(71c)に格納される残り時間は、TCB(109b)が待ちを解除された直後からのタイムアウトまでの残り時間を指す。因みにTCB(109)は、レディキューヘッダ(104)を先頭にしてタスク優先度順に双方向リストを形成され、ウェイトキューヘッダ(105)を先頭にして先着順に双方向リストを形成される。

【0043】

処理ポインタ(101)は、現時点で処理中のTCB(109)のメモリ番地を指す。OS時間管理部(91)は初期化時に予め、処理ポインタ(101)をタイマキューヘッダ(106)と同じメモリ番地を指すように設定する。ここでは、説明上、図3のように既にタイマキューヘッダ(106)はTCB(109a)を指していることにする。挿入ポインタ(102)は新規TCB(109c)のメモリ番地を指す。時間監視レート格納部(73)には、第1タイマ周期(44a)の値を第2タイマ周期(44b)の値で割った値を格納する。

【0044】

図4から図8は、タイムアウト要求発行処理部(93)のフローチャートを説

明する図であり、図4は、タイムアウト要求発行処理部(93)の処理の全体を示すものである。タイムアウト要求発行処理部(93)は、OS(22)に装備のタイムアウトを要求するシステムコールの発行時に、そのシステムコールの中で処理される。まず、本発明では、第2タイマTIM2(9b)の状態レジスタSREG2(81b)を参照し、第2タイマTIM2(9b)からの割り込み発生状態が許可か禁止かを判別する(判別処理124)。即ち、ここでは第2タイマTIM2(9b)に従ってカウントしているか否かを判断している。もし禁止(第1タイマTIM1(9a)に従ってカウントしている)であれば処理(201)へ、許可(第2タイマTIM2(9b)に従ってカウントしている)であれば処理(202)へ進む。

【0045】

図5は、処理(201)、即ち第2タイマTIM(9b)からの割り込み発生状態が禁止の場合に実行される処理のフローチャートを説明する図である。判別処理(124)において第2タイマTIM2(9b)からの割り込みが禁止されていると判別した場合は、現時点から次回第1タイマTIM(9b)が割り込むまでの残り時間を求めて第1周期監視部(72)に設定する。具体的には、第2タイマTIM2(9b)からの割り込み発生を許可するように制御レジスタCREG2(82b)を設定し、次に、第1タイマTIM1(9a)のカウンタCNT1(83a)の値に1加算した値を、第2タイマTIM2(9b)の周期設定レジスタCYCREG2(84b)で設定のタイマ周期(44b)の値に1加算した値で割り算した値を第1周期監視部(72)に格納する(処理203)。

【0046】

次に、TCB管理部(92)のタイマキューヘッダ(106)がTCB(109)のメモリ番地をさしているかどうか、つまりタイムアウトを待っているタスク(以下、待ちタスクと言う)があるかどうかを判別する(判別処理125)。もし、TCB(109)のメモリ番地を指していれば(待ちタスクがあれば)処理(204)へ、指してなければ(待ちタスクがなければ)処理(205)へ進む。

【0047】

図6はタイムアウト待ちタスクが存在する場合に新たにタイムアウト設定を行

うための処理（204）のフローチャートを説明する図である。判別処理（125）において、待ちタスクがあると判別された場合は、最も早くタイムアウトするタスクのタイムアウトまでの残り時間を求めるために、先ず第1周期監視部（72）及び時間監視レート格納部（73）を参照し、時間監視レート格納部（73）に格納の値から第1周期監視部（72）に格納の値を引いた減算値を求める。そして処理ポインタ（101）で指されているTCB（109）のタイムアウト監視部（71）に格納された値からその前記減算値を引き、その減算値を前記タイムアウト監視部（71）に格納する（処理206）。

【0048】

次に、新たにタイムアウトを設定されるタスクと既にタイムアウトが設定されているタスクとのタイムアウトまでの残り時間を比較するために、新規にタイムアウトを要求したTCB（109c）のタイムアウト監視部（71c）と、処理ポインタ（101）で指されたTCB（109）のタイムアウト監視部（71）に格納された値の大小を判別する（判別処理126）。新規にタイムアウトを要求したTCB（109c）のタイムアウト監視部（71c）にはタイムアウト要求時間（68）が既に格納されている。もしタイムアウト監視部（71c）の方が大きいならば処理（207）へ、小さければ処理（208）へ進む。TCB（109c）はこの時点ではTCB管理部（92）の双方向リストには挿入されていない。

【0049】

判別処理（126）において新規のTCB（109c）のタイムアウト監視部（71c）に格納された値が処理ポインタ（101）で指されたTCB（109）のタイムアウト監視部（71）に格納された値より大きい場合は、新たにタイムアウト設定されるタスクのタイムアウトの残り時間を一時的に更新するために、TCB（109c）のタイムアウト監視部（71c）に格納の値から、処理ポインタ（101）で指されたTCB（109）のタイムアウト監視部（71）に格納された値を引いた減算値をTCB（109c）のタイムアウト監視部（71）に格納し、処理ポインタ（101）を、現在処理ポインタ（101）で指しているTCB（109）の順方向ポインタ（107）で指されたTCB（109）のメモリ番地に設定する（処理207）。

【0050】

次に、既にタイムアウトが設定されているタスクのタイムアウト残り時間を全て調査したかを判別するために処理ポインタ（101）がタイマキューヘッダ（106）のメモリ番地をさしているか、つまりタイマキューに接続のTCB（109）に対し、処理207を施したかどうかを判別する（判別処理127）。もし、タイマキューヘッダ（106）のメモリ番地を指しているなら処理（208）へ進み、指していなければ判別処理（126）に戻る。

【0051】

判別処理（127）において、処理ポインタ（101）がタイマキューヘッダ（106）のメモリ番地を指していると判別された場合は、新たにタイムアウト設定されたタスクをタイマキューに挿入するために、処理ポインタ（101）が指しているTCB（109）のメモリ番地をTCB（109c）のメモリ番地に置換し、その設定の前に設定されていたTCB（109）のメモリ番地をTCB（109c）の順方向ポインタ（107c）で指すように設定する（処理208）。つまり、TCB（109c）をTCB管理部（92）の双方向リストに挿入したことになる。逆方向ポインタについても挿入するように設定を換える。

【0052】

次に、新たにタイマキューに挿入されたタスクの次に早くタイムアウトするタスクのタイムアウトまでの残り時間を更新するために、挿入ポインタ（102）で指されたTCB（109c）の順方向ポインタ（107c）でさされたTCB（109）メモリ番地に処理ポインタ（101）を設定し、処理ポインタ（101）で設定以前に指されたTCB（109）のタイムアウト監視部（71）の値から挿入ポインタ（102）で指されたTCB（109c）のタイムアウト監視部（71c）に格納の値を引いた減算値を処理ポインタ（101）で指されたTCB（109）のタイムアウト監視部（71）に格納する（処理209）。このようにして、新規のTCB（109c）が処理ルーチンの中に挿入される。

【0053】

図7は、新たにタイムアウト設定された時間が最短でタイムアウトする場合の処理（205）のフローチャートを説明する図である。まず、新たにタイムアウ

トを設定したタスク以外にタイムアウト待ちのタスクが存在するか判別するために、挿入ポインタ（102）が指しているTCB（109）の逆方向ポインタ（108）がタイマキューヘッド（106）を指しているかを判断する（判別処理128）。もし、挿入ポインタ（102）が指しているTCB（109）の逆方向ポインタ（108）がタイマキューヘッド（106）を指していたら判別処理（129）へ、指していなければ処理（205）を終了する。

【0054】

判別処理（128）において、挿入ポインタ（102）が指しているTCB（109）の逆方向ポインタ（108）がタイマキューヘッド（106）を指していると判断された場合は、新たにタイムアウトを設定したタスクの残り時間と第1周期監視部の値の大小を判別するために、挿入ポインタ（102）が指しているTCB（109）のタイムアウト監視部（71）の値が第1周期監視部（72）の値以上か否かを判断する（判別処理129）。ここで、挿入ポインタ（102）が指しているTCB（109）のタイムアウト監視部（71）の値が第1周期監視部（72）の値以上ならば処理（210）に進み、それ以外ならば処理（205）を終了する。処理（210）は第1タイマTIM1（9a）の割込みを禁止に設定するために、第2タイマTIM2（9b）の制御レジスタCREG2（82b）で、第2タイマTIM2（9b）からの割込み発生を禁止に設定する。

【0055】

図8は処理（202）のフローチャートを説明する図である。処理（202）は、第2タイマTIM2（9b）の状態レジスタSREG2（81b）を参照し、第2タイマTIM2（9b）からの割込み発生状態が許可の場合に移行する処理である（図4参照）。この処理（202）は、前述の図5、12で説明した処理と同様な処理を行うため説明は省略する。

【0056】

図9は第1タイマー割込み処理部のフローチャートを説明する図である。第1タイマー割込み処理部（94）は、第1タイマ割込み発生（65a）した時に、下記の処理を行いプロセッサ（1）を起動させる。まず、第1周期監視部（72）に第1タイマのタイマ周期を設定するために、第1タイマTIM1（9a）、

第2タイマTIM2 (9b) 共、制御レジスタSREG (82) でカウンタCNT (83) がアンダーフローしないように設定し、第1周期監視部 (72) の値を臨時格納部 (103) に格納し、時間監視レート格納部 (73) に格納した値を第1周期監視部 (72) に格納する (処理221)。

【0057】

次に、タイムアウト待ちタスクが存在するかどうかを判別するためにTCB管理部 (92) のタイマキューヘッダ (106) がTCB (109) のメモリ番地をさしているかどうか、つまり待ちタスクがあるかどうかを判別する (判別処理125)。

【0058】

判別処理 (125) において、タイマキューヘッダが (106) がTCBのメモリ番地を指していると判断される場合は、最も早くタイムアウトするタスクのタイムアウトまでの残り時間を更新するために、処理ポインタ (101) をタイマキューヘッダ (106) の順方向ポインタ (107) が指すTCB (109) のメモリ番地に設定し、処理ポインタ (101) が指しているTCB (109) のタイムアウト監視部 (71) に格納の値から臨時格納部 (103) に格納した値を引いた減算値を処理ポインタ (101) が指しているTCB (109) のタイムアウト監視部 (71) に代入する処理 (222)。

【0059】

次に最も早くタイムアウトするタスクのタイムアウト処理 (223) を行う。処理 (223) は、図10を用いて説明する。まず、タイムアウト要求発行処理用処理ポインタからタイマ割込み用処理ポインタに切り替えるために、処理ポインタ (101b) を処理ポインタ (101a) が指しているTCB (109) のメモリ番地と同じメモリ番地を指すように設定する (処理225)。次に、タイムアウト時刻かどうかを判別するために、処理ポインタ (101a) が指しているTCB (109) のタイムアウト監視部 (71) の値が0以下かを判断する (判別処理142)。もし処理ポインタ (101a) が指しているTCB (109) のタイムアウト監視部 (71) の値が0以下ならば、処理 (226) に進み、それ以外の場合は処理 (227) に進む。

【0060】

判別処理（142）において、タイムアウト監視部（71）の値が0以下と判断された場合は、タイマキューからTCBを解除しタイムアウトさせるために、処理ポインタ（101a）が指しているTCB（109）をTCB管理部（92）の双方向リストから削除し、TCB管理部（92）の双方向リストの後処理を行う（処理226）。

【0061】

その後、次にタイムアウトするTCBに移行させる処理ポインタ（101b）で指されたTCB（109）の順方向ポインタ（108）が指すTCB（109）のメモリ番地を処理ポインタ（101a）が指すように設定し、タイムアウト処理をする（処理227）。

【0062】

処理（227）が終了後（図9における処理223が終了後）、待ちタスクのタイムアウト状態を全て調査したかどうかを判別するために、処理ポインタ（101b）がタイマキューヘッダ（107）のメモリ番地を指しているかどうかを判別する（判別処理141）。もし指していれば処理（224）へ進み、指していなければ処理（223）に戻る。

【0063】

図11は処理（224）のフローチャートを説明する図である。まず、待ちタスクが存在するかどうかを判別するためにタイマキューヘッダ（106）の順方向ポインタ（107）が、タイマキューヘッダ（106）のメモリ番地を指しているかを判別する（判別処理143）。もし指していれば処理（228）へ進み、指していなければ判別処理（144）に進む。

【0064】

判別処理（143）において、順方向ポインタ（107）がタイマキューヘッダのメモリ番地を指していないと判断した場合は、最も早くタイムアウトするタスクのタイムアウトまでの残り時間が第1周期監視部よりも大きいかどうかを判別するために、タイマキューヘッダ（106）の順方向ポインタ（83）が指すTCB（82）のタイムアウト監視部（71）に格納された値が、第1周期監視部

(72) の値以上かどうかを判別する(判別処理144)。も第1周期監視部(72) の値以上であれば処理(228)へ進み、それ以外ならば処理(224)を終了する。

【0065】

判別処理(143)において、順方向ポインタ(107)がタイマキューヘッダのメモリ番地を指していると判別された場合、又は、判別処理(144)において、タイムアウト監視部(71)に格納された値が第1周期監視部(72)の値以上と判別された場合、制御レジスタ(82b)で第2タイマ(9b)からの割込み発生を禁止に設定し(処理228)、処理(224)を終了する。

【0066】

図12は第2タイマー割込み処理部のフローチャートを説明する図である。第2タイマー割込み処理部(95)は、第2タイマ割込み発生(65b)した時にプロセッサ(1)を起動させる。まず、第1周期監視部を更新するために、第2タイマ(9b)の制御レジスタ(82b)で、カウンタ(83b)がアンダーフローしないように設定し、第1周期監視部(72)に格納の値から第2タイマ周期(44b)を引いて、その減算値を第1周期監視部(75)に代入する(処理241)。

【0067】

次に、最も早くタイムアウトするタスクの残り時間を更新するために、タイマキューヘッダ(106)の順方向ポインタ(107)で指されたTCB(109)のメモリ番地を処理ポインタ(101a)に代入する。そして処理ポインタ(101a)が指しているTCB(109)のタイムアウト監視部(71)に格納の値から第2タイマ周期(44b)を引いた値を処理ポインタ(101a)が指しているTCB(109)のタイムアウト監視部(71)に代入する(処理242)。

【0068】

次に判別処理(125)、処理(223)、処理(224)、及び判別処理(141)を行う。これらは図9において説明したので省略する。

【0069】

以上のような処理フローにより、本願発明を実施することができ、情報処理相

装置の低消費電力化、応答速度の向上を図ることができる。

【0070】

なお、本発明の実施形態はタイマ（9）がカウントダウン方式を採用していることを仮定し説明してきたが、カウントアップ方式のタイマ（9）についても動作原理は同じなので、適用することが出来る。

【0071】

図13は、本発明を施した情報処理装置、特に情報携帯端末に適用した場合の一実施例を説明する図である。本願発明は、タイマTIM（9）を2つ（2チャンネル）を有する情報処理装置ならば、ハードウェアを変更することなく、OSの機能、即ちソフトウェアを変更することで容易に実現することが出来る。但し、ソフトウェア（OS）で処理している機能を適宜ハードウェアで実現することにより高速に処理することができる。更に、図14のように、タイマ、省電力モードをCPUに搭載してもよい。この場合、情報処理装置を小さくすることが出来る。

【0072】

図15は本発明を施した情報処理装置の第2の実施例を説明する図である。携帯電話に代表される通信装置では、通信とマルチメディア処理を同時に処理することとなりプロセッサの負荷が重い。そこで、通信処理用途のベースバンドプロセッサ（1b）とマルチメディア処理用途のアプリケーションプロセッサ（1a）を情報処理装置に搭載している。ここで、ベースバンドプロセッサ（1b）とアプリケーションプロセッサ（1a）の両者に本願発明を適用することができる。しかし、ベースバンドプロセッサ（1b）は、アプリケーションプロセッサ（1a）と比較してその消費電力は小さい。従って、図15では、本願発明をアプリケーションプロセッサ（1a）のみに適用しており、ベースバンドプロセッサ（1b）には適用していない。このような構成とすることにより、ベースバンドプロセッサ（1b）に関するメモリMEM（21b）に容量を小さくすることができ、情報処理装置を小さく構成することが出来る。

【0073】

【発明の効果】

本願発明を実施することにより、情報処理装置の低消費電力化や割り込みの応答速度を向上させること達成することが出来る。

【図面の簡単な説明】

【図 1】

本発明の代表例を説明する図。

【図 2】

発明が解決しようとする課題を説明する図。

【図 3】

本発明の動作を説明する図。

【図 4】

タイムアウト要求発行処理部フローチャートを説明する図。

【図 5】

処理（201）のフローチャートを説明する図。

【図 6】

処理（204）のフローチャートを説明する図。

【図 7】

処理（205）のフローチャートを説明する図。

【図 8】

処理（202）のフローチャートを説明する図。

【図 9】

第1タイマー割込み処理部のフローチャートを説明する図。

【図 10】

処理（223）のフローチャートを説明する図。

【図 11】

処理（224）のフローチャートを説明する図。

【図 12】

第2タイマー割込み処理部のフローチャートを説明する図。

【図 13】

本発明を施した情報処理装置を説明する図。

【図 14】

タイマ、省電力モード内臓CPU搭載情報処理装置の説明図。

【図 15】

本発明を施したプロセッサ搭載の情報処理装置を説明する図。

【図 16】

従来の無線通信装置を説明する図。

【図 17】

従来例の課題を説明する図。

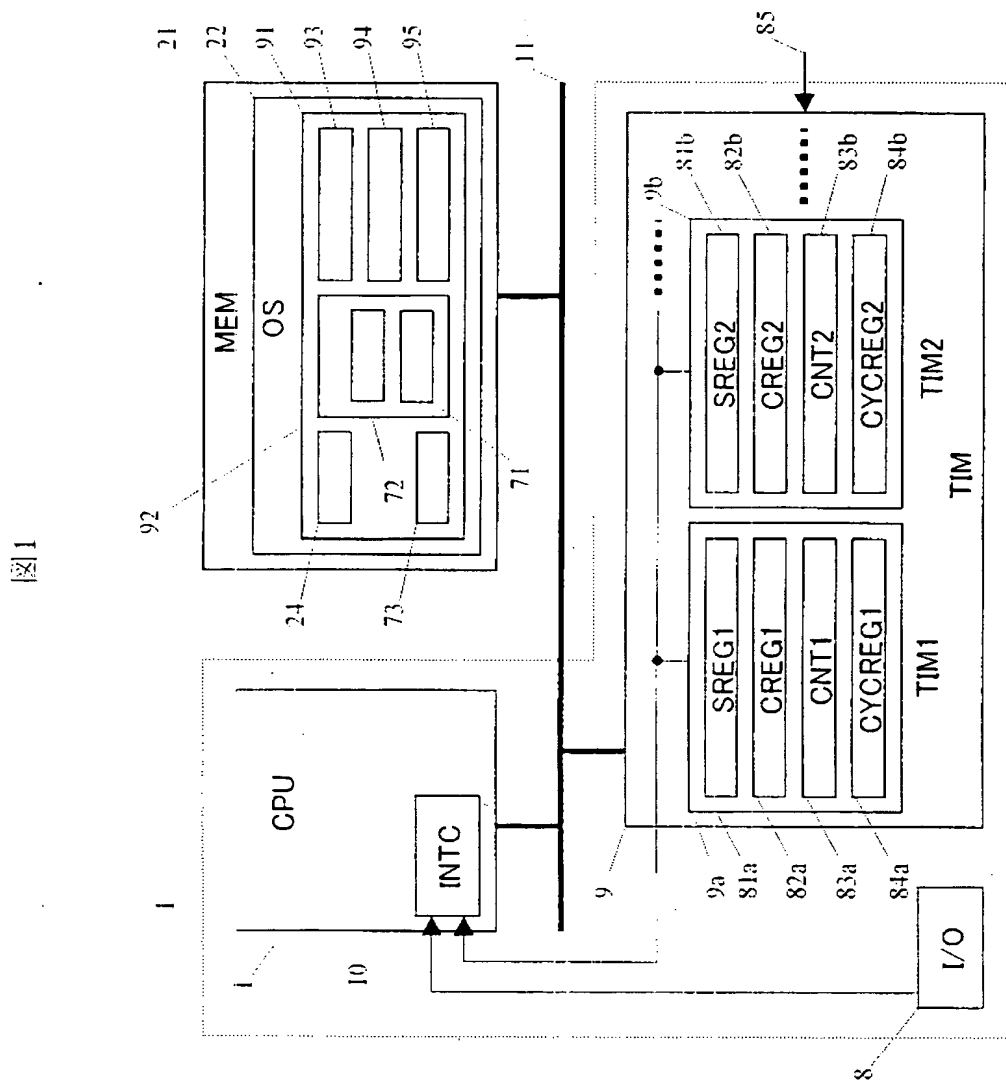
【符号の説明】

1・・・プロセッサ、2・・・同期回路、3・・・受信回路、4・・・レジスタ、5・・・切替回路、6・・・高速発振回路、7・・・RTC、8・・・I/O、9・・・タイマ、10・・・割込回路、11・・・バス、21・・・メモリ、22・・・OS、23・・・省電力モード回路、24・・・システムクロック、41・・・消費電流、42・・・タイマ割込み要求モード、43・・・省電力モード、44・・・タイマ周期、45・・・0[A]、46・・・タイマ割込み発生時消費電流値、47・・・省電力モード時消費電流値、61・・・カウンタ軸、62・・・時間軸、63・・・カウンタ値、64・・・周期設定値、65・・・割込み発生、66・・・タイムアウト要求発行時刻、67・・・タイムアウト時刻、68・・・タイムアウト要求時間、71・・・タイムアウト監視部、72・・・第1周期監視部、73・・・時間監視レート格納部、81・・・状態レジスタ、82・・・制御レジスタ、83・・・カウンタ、84・・・周期設定レジスタ、85・・・クロックCK、91・・・OS時間管理部、92・・・TCB管理部、93・・・タイムアウト要求発行処理部、94・・・第1タイマー割込み処理部、95・・・第2タイマー割込み処理部、101・・・処理ポインタ、102・・・挿入ポインタ、103・・・臨時格納部、104・・・レディキューヘッダ、105・・・ウェイトキューヘッダ、106・・・タイマキューヘッダ、107・・・順方向ポインタ、108・・・逆方向ポインタ、109・・・TCB、121・・・開始点、122・・・終了点、123・・・合流点、124、125、126、127、128、129、141、142、143、144・・・判

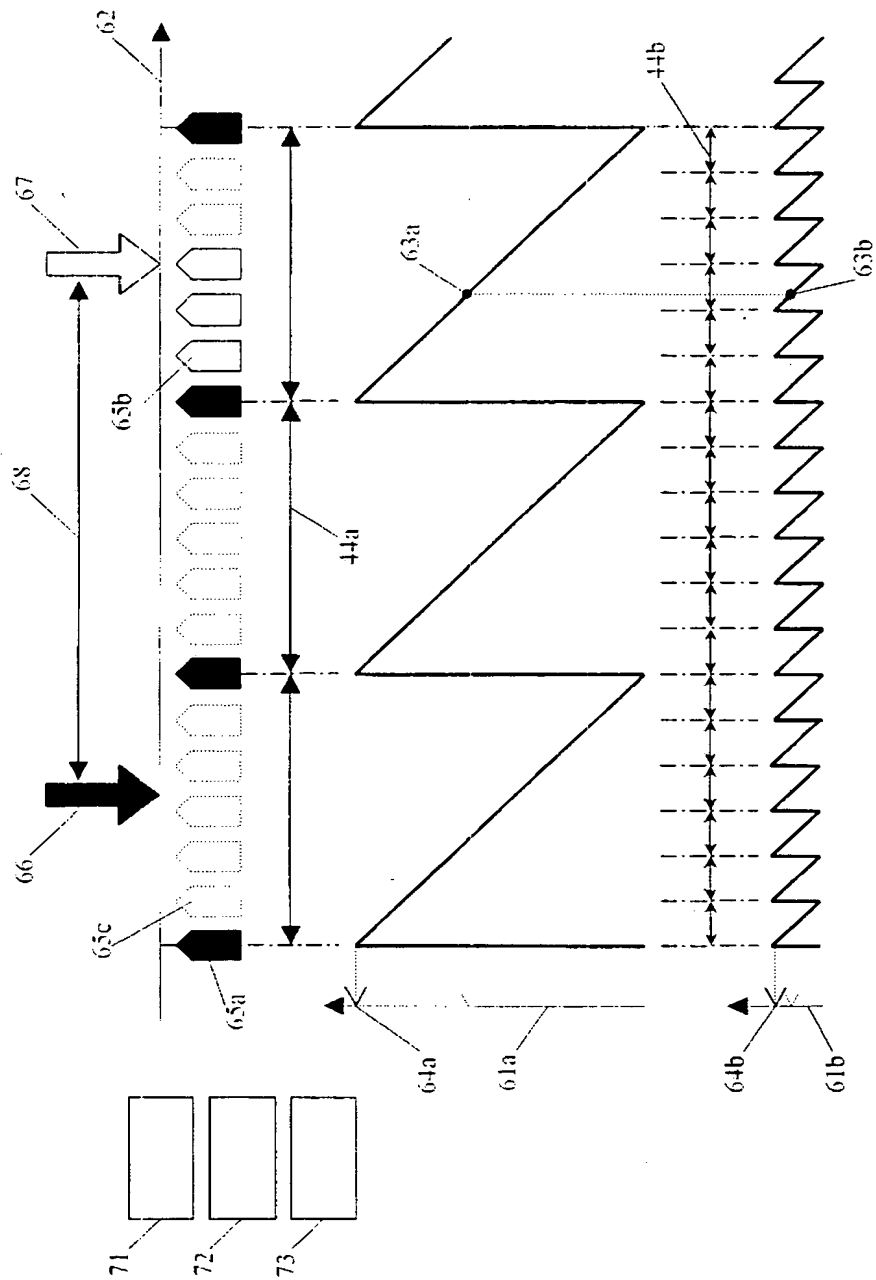
別処理、2 0 1、2 0 2、2 0 3、2 0 4、2 0 5、2 0 6、2 0 7、2 0 8、
2 0 9、2 1 0、2 2 1、2 2 2、2 2 3、2 4 1、2 4 2 . . . 処理。

【書類名】 図面

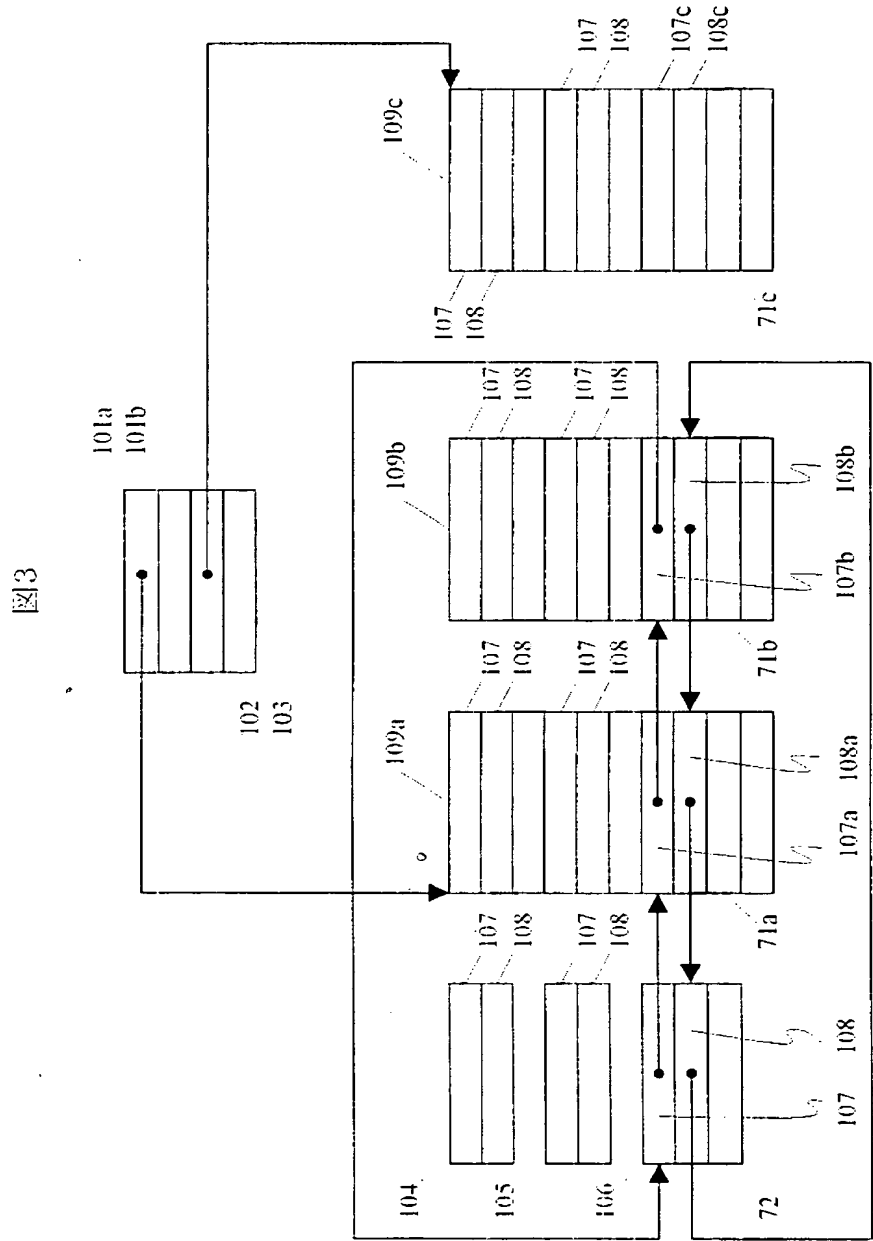
【図 1】



【図 2】

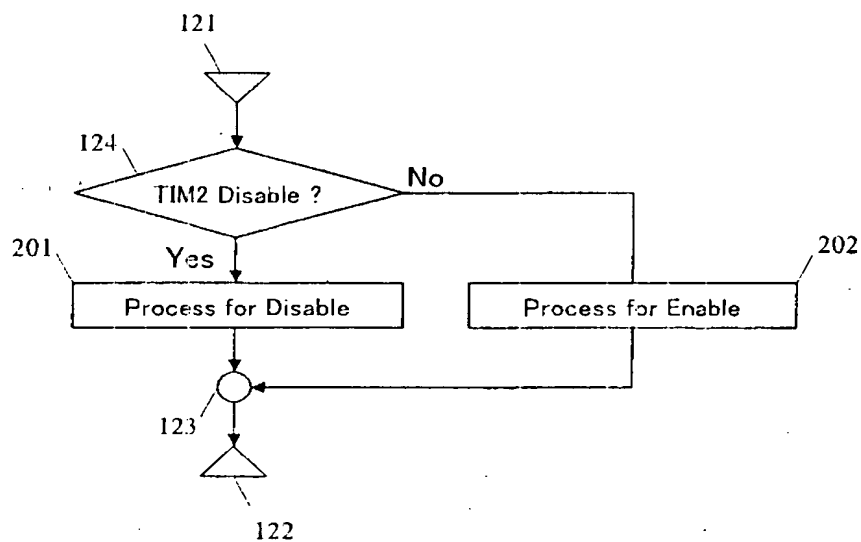


【図 3】



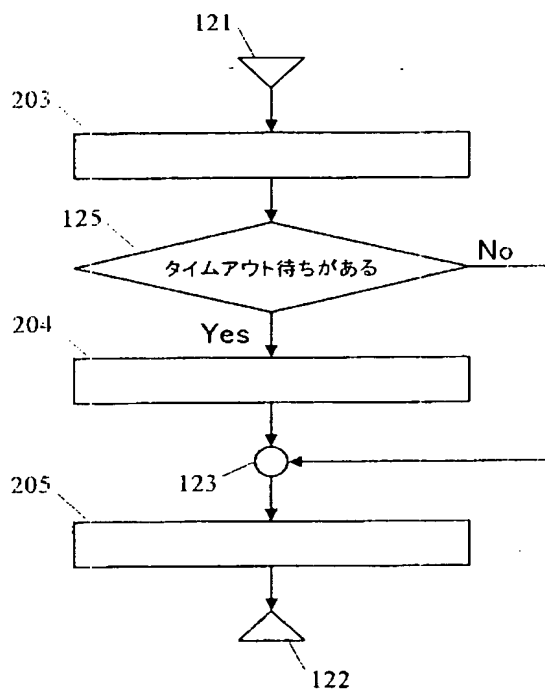
【図 4】

図4

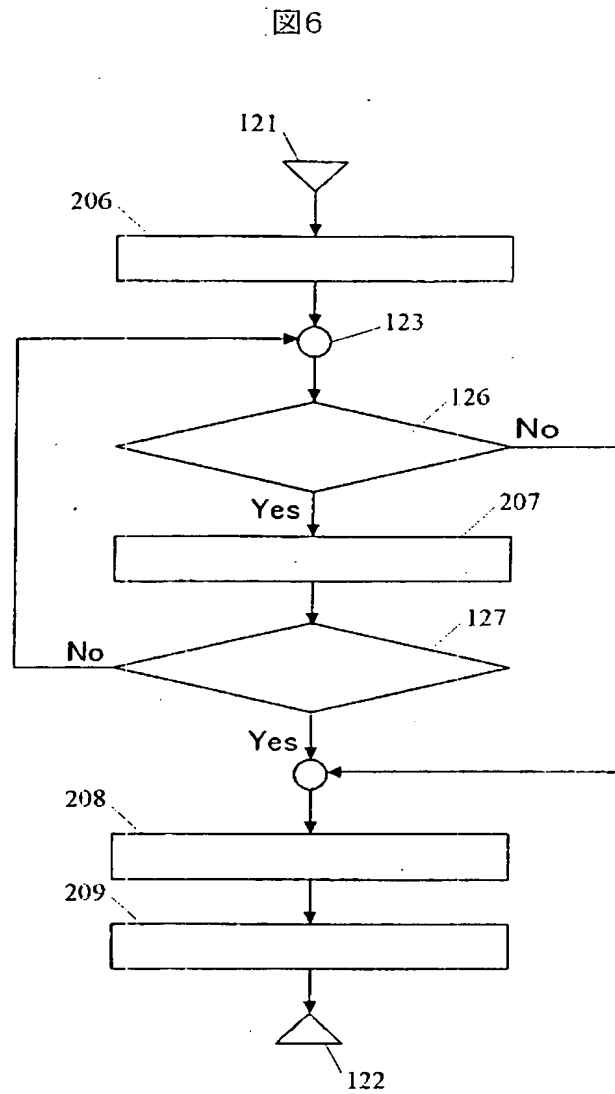


【図 5】

図5

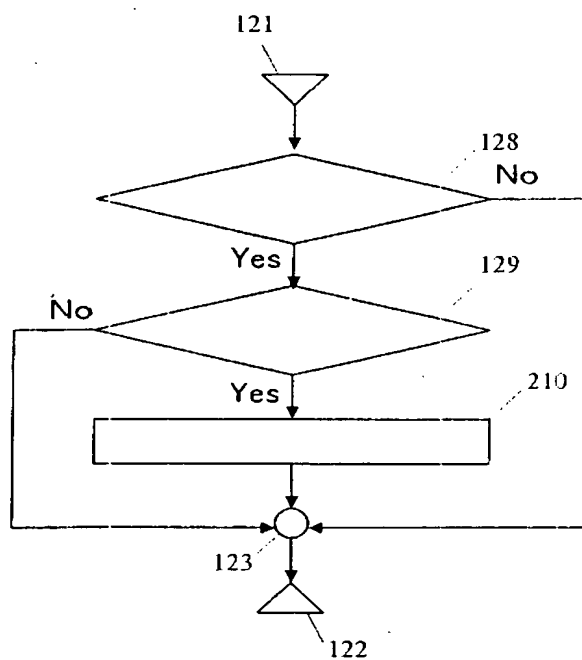


【図 6】

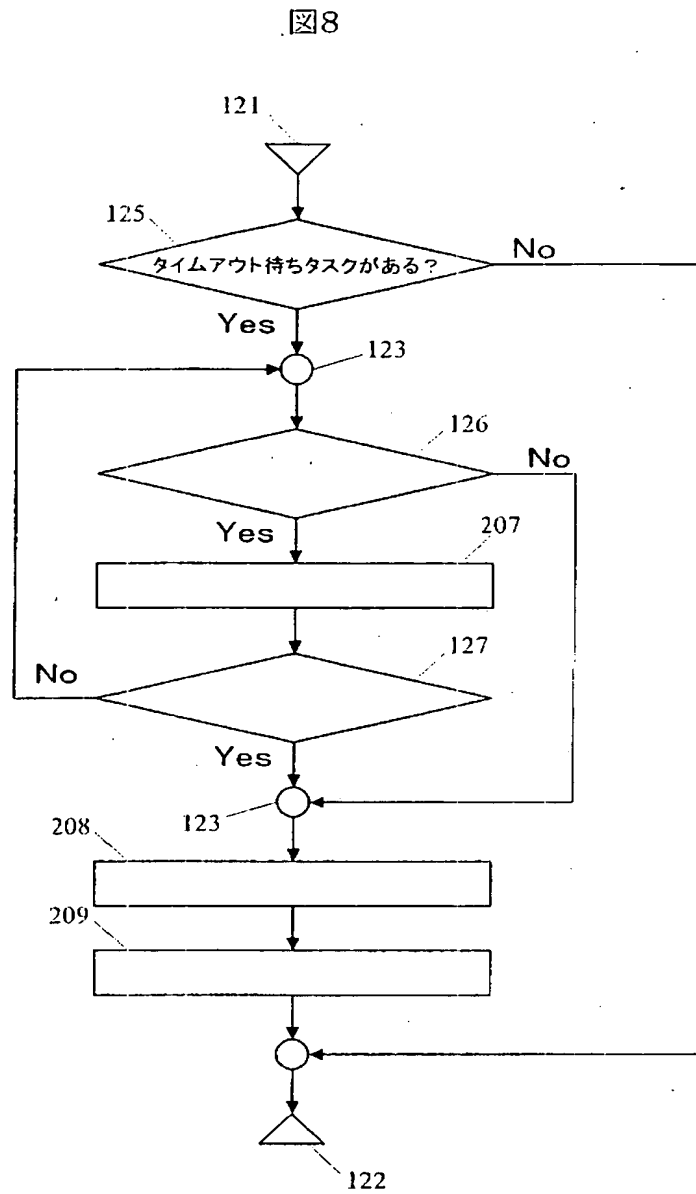


【図 7】

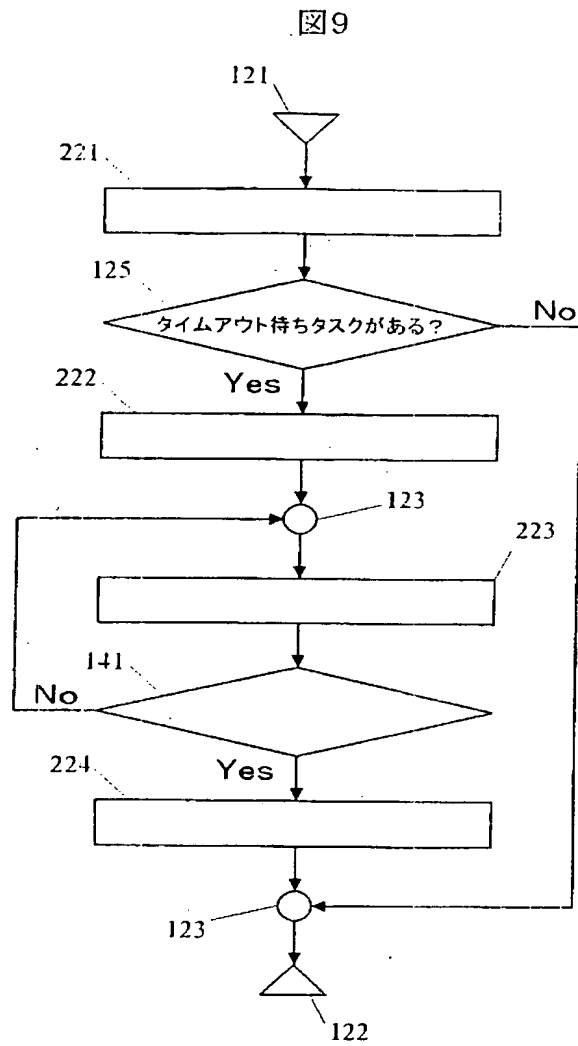
図 7



【図 8】

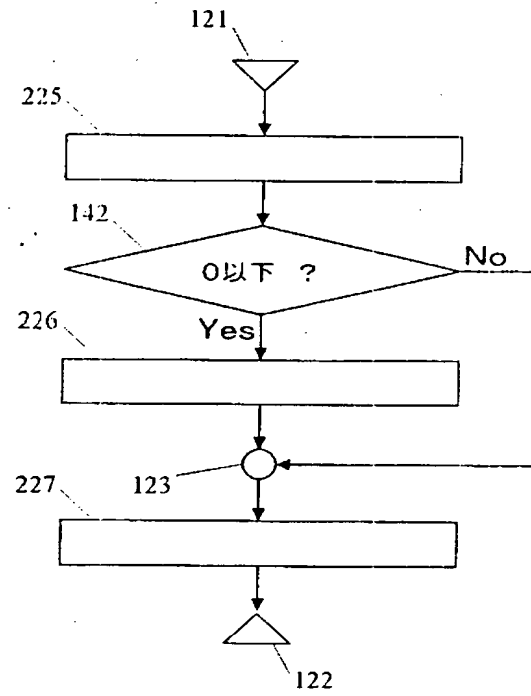


【図 9】



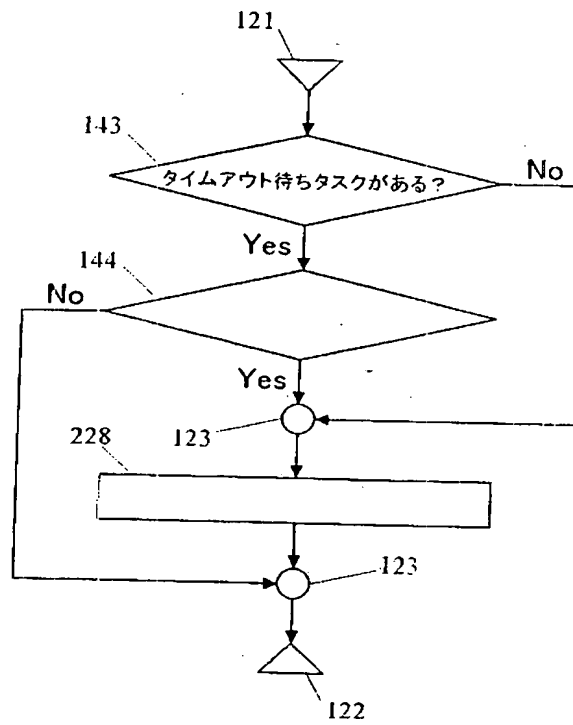
【図10】

図10

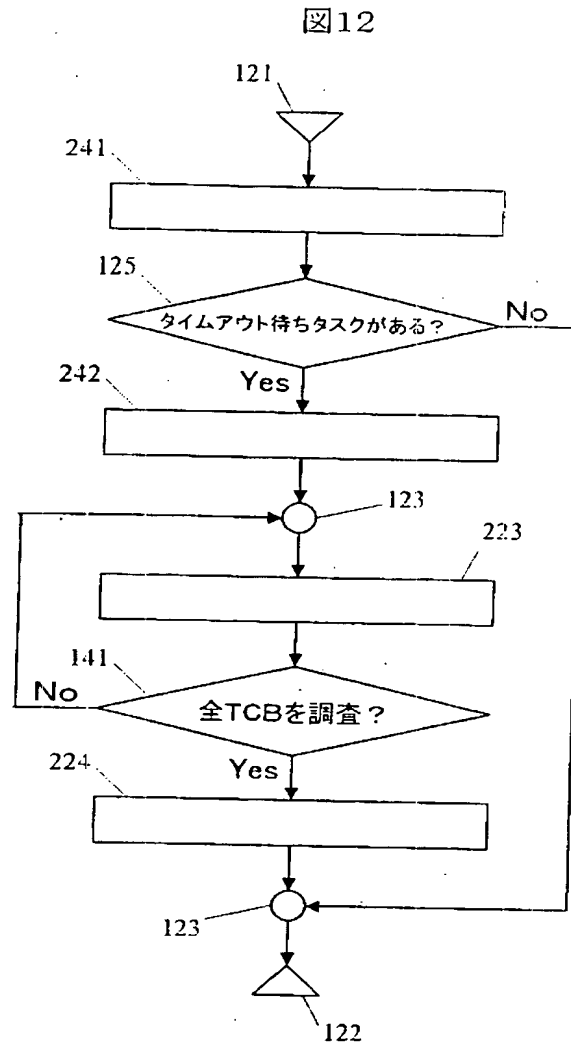


【図 11】

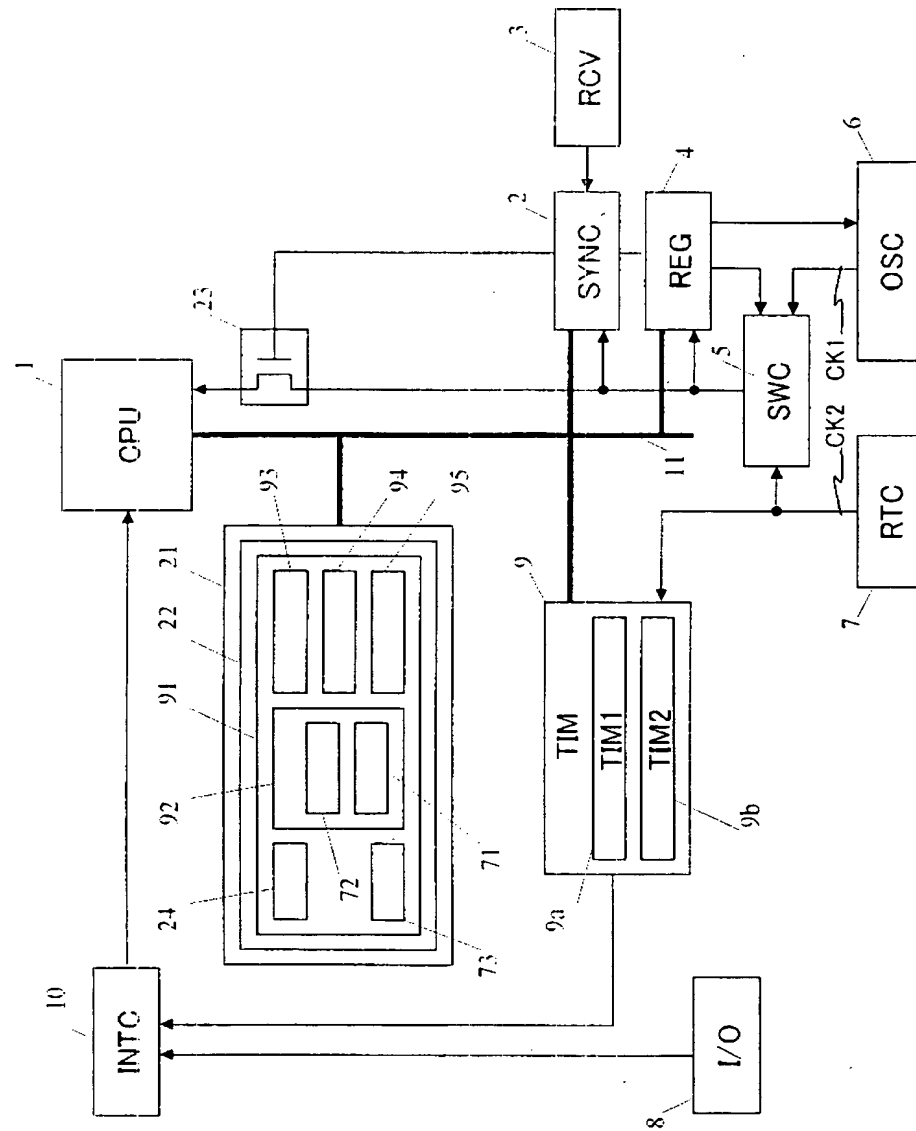
図 11



【図 12】

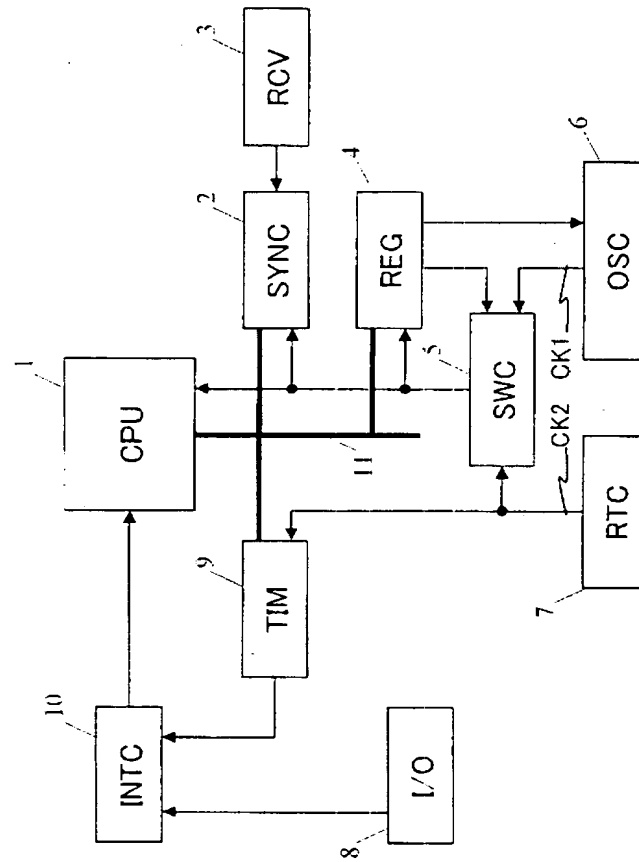


【図 13】



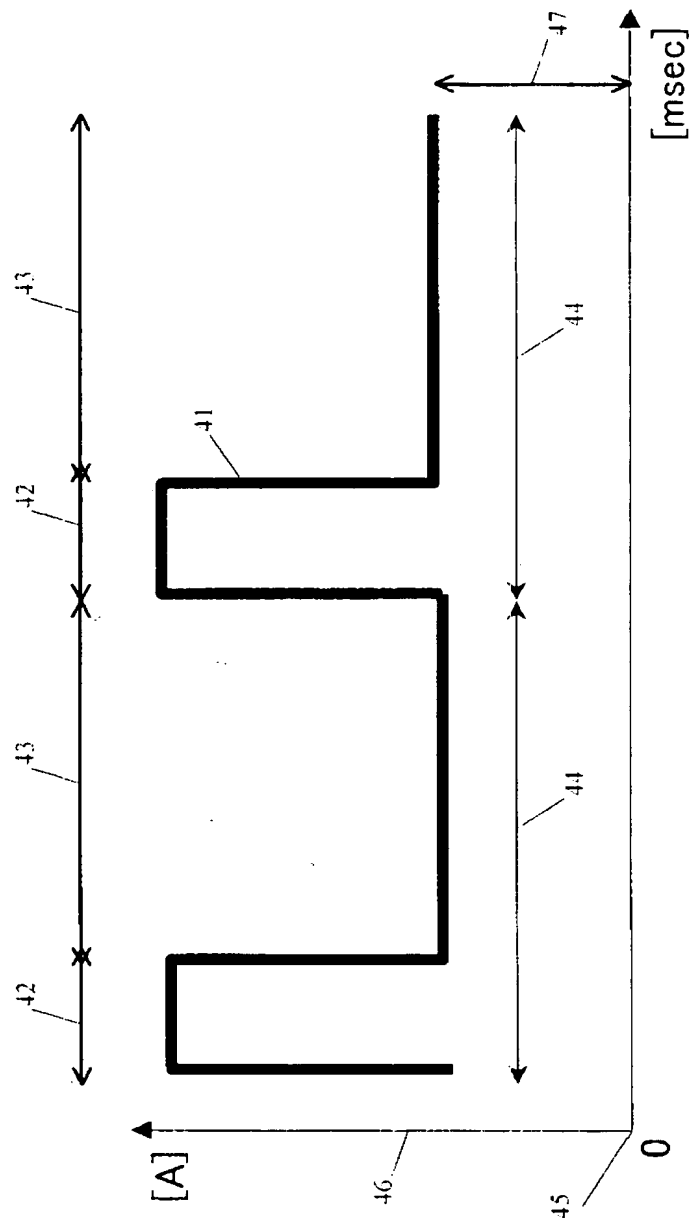
【図 16】

図 16



【図 17】

図 17



【書類名】 要約書**【要約】**

【課題】 割り込み要求に対する応答速度を劣化させずに、低消費電力を実現する情報処理装置を提供する。

【解決手段】 所定のイベント実行までの発生時間を指定してシステムコールをする情報処理装置であって、第1周期に設定される第1タイマ回路TIM1 (9a) と、前記第1周期より短い第2周期に設定される第2タイマ回路TIM2 (9b) と、前記システムコールがあった際に、前記発生時間を格納することが可能な前記タイムアウト監視部 (71) と、前記システムコールがあった際に、次の前記第1タイマ回路TIM1 (9a) の割り込み要求までの時間を格納することが可能な第1周期監視部 (72) とを有し、前記タイムアウト監視部 (72) は、前記第1タイマTIM1 (9a) の割り込み要求により前記タイムアウト監視部 (71) に格納された時間から前記第1周期監視部 (72) に格納された時間を減算した時間を格納し、前記タイムアウト監視部 (71) に格納された時間が前記第1周期より短い場合に、前記第2タイマ回路の割り込み要求により前記タイムアウト監視部 (71) に格納された時間から前記第2周期の時間を減算するように構成する。

【効果】 情報処理装置の低消費電力化や割り込みの応答速度を向上させること達成することが出来る。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 3 6 1 7
受付番号	5 0 2 0 1 6 2 7 1 6 0
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 1 0 月 3 0 日

< 認定情報・付加情報 >

【提出日】	平成14年10月29日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-313617

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 1 - 2 5 1 8 8 9 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-313617
受付番号	50301402880
書類名	出願人名義変更届 (一般承継)
担当官	末武 実 1912
作成日	平成15年11月 4日

<認定情報・付加情報>

【提出日】 平成15年 8月26日

特願 2 0 0 2 - 3 1 3 6 1 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 1 日
新規登録

住 所
氏 名

東京都千代田区神田駿河台 4 丁目 6 番地
株式会社日立製作所

特願 2 0 0 2 - 3 1 3 6 1 7

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ